

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09062622 A

(43) Date of publication of application: 07.03.97

(51) Int. Cl. G06F 13/42
G06F 1/04
G06F 1/08
G06F 12/06

(21) Application number: 07212081

(71) Applicant: TOSHIBA CORP

(22) Date of filing: 21.08.95

(72) Inventor: NINOMIYA RYOJI

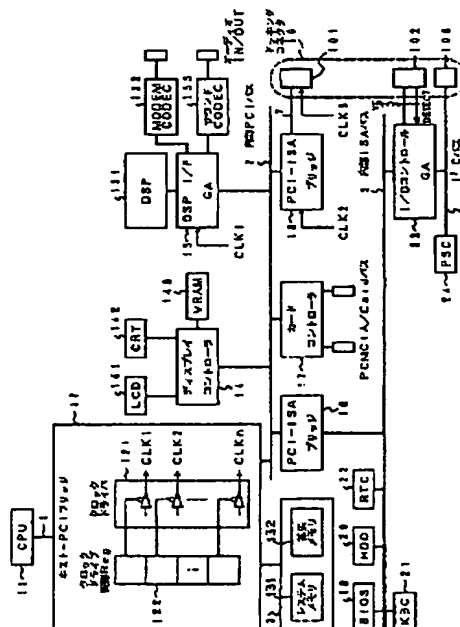
(54) COMPUTER SYSTEM

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption by selectively driving a plurality of clock signals line corresponding to a plurality of devices.

SOLUTION: Respective buffer circuits in a clock driver 121 are brought under enable/disable control according to clock drive control information set in a clock drive control register 121. The clock drive control information set in the register 122 is programmable, so the clock signal lines of the PCI devices can selectively be driven. Therefore, the supply of a clock to a PCI device which is not used can be stopped to reduce unnecessary power consumption.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9-62622

(43) 公開日 平成9年(1997)3月7日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F	13/42	3 5 0	G 0 6 F	13/42 3 5 0 B
	1/04	3 0 1		1/04 3 0 1 C
	1/08			12/06 5 1 5 H
	12/06	5 1 5		1/04 3 2 0 A

審査請求 未請求 請求項の数 7

O L

(全 13 頁)

(21) 出願番号 特願平7-212081

(22) 出願日 平成7年(1995)8月21日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 二宮 良次

東京都青梅市末広町2丁目9番地 株式会社
東芝青梅工場内

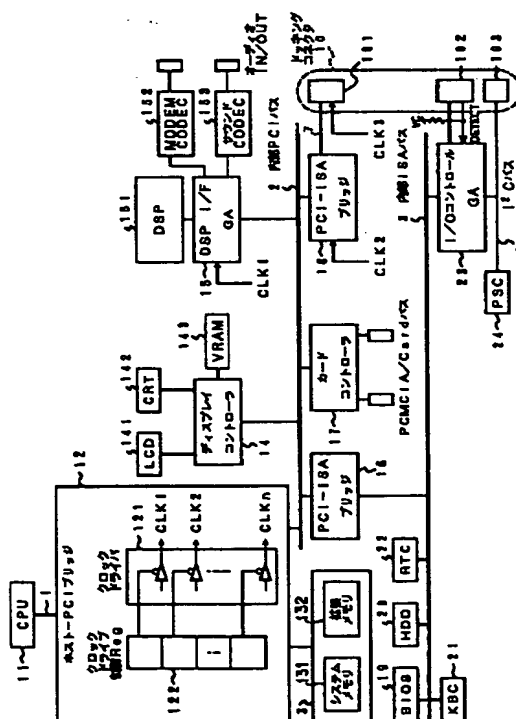
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 コンピュータシステム

(57) 【要約】

【目的】複数のデバイスそれぞれに対応する複数のクロック信号線を選択的にドライブできるようにし、電力消費の低減を図る。

【構成】クロックドライバ121内の各バッファ回路は、クロックドライブ制御レジスタ122にセットされているクロックドライブ制御情報に従ってイネーブル/ディスエーブル制御される。レジスタ22にセットされるクロックドライブ制御情報はプログラマブルであるので、複数のPCIデバイスそれぞれのクロック信号線を選択的にドライブできる。したがって、利用されていないPCIデバイスに対してクロックの供給を停止することが可能になり、無駄な電力消費を低減することができる。



1

【特許請求の範囲】

【請求項 1】 コンピュータシステムのバスに結合される複数のデバイスと、
プログラム可能に構成され、前記デバイス毎にクロック供給の許可／禁止を指示するクロックドライブ制御情報がセットされるレジスタと、
前記複数のデバイスそれぞれのクロック信号線をドライブする複数のバッファ回路を有し、前記デバイス毎にクロック信号を供給するクロックドライブ装置であって、前記各バッファ回路は、前記レジスタにセットされているクロックドライブ制御情報に従ってクロック信号線のドライブ動作が許可／禁止されるように構成されているクロックドライブ装置とを具備し、
前記複数のデバイスそれぞれのクロック信号線を選択的にドライブできるようにしたことを特徴とするコンピュータシステム。

【請求項 2】 前記複数のデバイスには、所定のデバイスドライバプログラムによって動作制御される第 1 のデバイスが含まれており、
前記デバイスドライバプログラムが前記コンピュータシステムのメモリに読み込まれるまでは前記第 1 のデバイスへのクロック供給が禁止されるように、前記デバイスドライバプログラムの読み込みに応答して前記第 1 のデバイスに対応する前記レジスタのクロックドライブ制御情報を、クロック供給禁止を示すステートからクロック供給許可を示すステートに書き替える手段とを具備することを特徴とする請求項 1 記載のコンピュータシステム。

【請求項 3】 前記コンピュータシステムは、コンピュータ本体と、このコンピュータ本体の拡張コネクタに取り外し自在に接続され、各種拡張デバイスが装着可能な拡張ユニットとから構成され、
前記コンピュータ本体は、
前記バスと前記拡張コネクタ間に接続され、前記バスと前記拡張ユニットとの間のインターフェースを行う第 2 のデバイスであって、前記クロックドライブ装置によってドライブされるクロック信号線に接続されている第 2 のデバイスと、
前記コンピュータ本体の拡張コネクタに前記拡張ユニットが接続されたことを検出する検出手段と、
前記拡張ユニットが前記コンピュータ本体の拡張コネクタに接続されるまでは前記第 2 のデバイスへのクロック供給が禁止されるように、前記検出手段による前記拡張ユニットの接続検出に応答して前記第 2 のデバイスに対応する前記レジスタのクロックドライブ制御情報を、クロック供給禁止を示すステートからクロック供給許可を示すステートに書き替える手段とを具備することを特徴とする請求項 1 記載のコンピュータシステム。

【請求項 4】 前記拡張ユニットは、
前記拡張コネクタを介して前記クロックドライブ装置に

2

よってドライブされるクロック信号線に接続される第 3 のデバイスを具備し、
前記書き替え手段は、
前記拡張ユニットが前記コンピュータ本体の拡張コネクタに接続されるまでは前記第 3 のデバイスへのクロック供給が禁止されるように、前記検出手段による前記拡張ユニットの接続検出に応答して前記第 3 のデバイスに対応する前記レジスタのクロックドライブ制御情報を、クロック供給禁止を示すステートからクロック供給許可を示すステートに書き替えることを特徴とする請求項 3 記載のコンピュータシステム。

【請求項 5】 各種メモリモジュールを実装可能なメモリスロットを有するコンピュータシステムにおいて、
プログラム可能に構成され、複数のメモリバンクの各々に対するメモリクロックの供給の許可／禁止を指示するクロックドライブ制御情報がセットされるレジスタと、
複数のメモリバンクそれぞれに接続されるメモリクロック信号線をドライブする複数のバッファ回路を有し、前記メモリバンク毎にクロック信号を供給するクロックドライブ装置であって、前記各バッファ回路は、前記レジスタにセットされているクロックドライブ制御情報に従ってメモリクロック信号線のドライブ動作が許可／禁止されるように構成されているクロックドライブ装置と、
前記メモリスロットに実装されているメモリモジュールのメモリバンク構成を調べ、未使用バンクに対応する前記レジスタのクロックドライブ制御情報をクロック供給禁止を示すステートに設定する手段とを具備することを特徴とするコンピュータシステム。

【請求項 6】 コンピュータシステムのバスに結合される複数のデバイスと、
プログラム可能に構成され、前記デバイス毎にクロック供給の許可／禁止を指示するクロックドライブ制御情報がセットされる第 1 レジスタと、
前記複数のデバイスそれぞれのクロック信号線をドライブする複数のバッファ回路を有し、前記デバイス毎にクロック信号を供給する第 1 のクロックドライブ装置であって、前記各バッファ回路は、前記レジスタにセットされているクロックドライブ制御情報に従ってクロック信号線のドライブ動作が許可／禁止されるように構成されている第 1 のクロックドライブ装置と、
各種メモリモジュールを実装可能なメモリスロットと、
プログラム可能に構成され、複数のメモリバンクの各々に対するメモリクロックの供給の許可／禁止を指示するクロックドライブ制御情報がセットされる第 2 レジスタと、
複数のメモリバンクそれぞれに接続されるメモリクロック信号線をドライブする複数のバッファ回路を有し、前記メモリバンク毎にクロック信号を供給する第 2 のクロックドライブ装置であって、前記各バッファ回路は、前記レジスタにセットされているクロックドライブ制御情

報に従ってメモリクロック信号線のドライブ動作が許可／禁止されるように構成されている第2のクロックドライブ装置とを具備することを特徴とするコンピュータシステム。

【請求項7】 コンピュータシステムのバスに結合される複数のデバイスと、
プログラム可能に構成され、前記デバイス毎にクロックドライブのための電流値を指示するクロックドライブ制御情報がセットされるレジスタと、
前記複数のデバイスそれぞれのクロック信号線をドライブする複数のバッファ回路を有し、前記デバイス毎にクロック信号を供給するクロックドライブ装置であって、前記各バッファ回路は、前記レジスタにセットされているクロックドライブ制御情報に従ってクロック信号線をドライブするための電流駆動能力が段階的に切り替え可能に構成されているクロックドライブ装置とを具備することを特徴とするコンピュータシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明はコンピュータシステムに関し、特にシステムのコンポーネントであるデバイスそれぞれに別個のクロック信号線を介してクロック信号が供給されるコンピュータシステムに関する。

【0002】

【従来の技術】 従来、パーソナルコンピュータに使用されるシステムバスとしては、ISA (Industry Standard Architecture) バスやEISA (Extended ISA) バスが主流であったが、最近では、データ転送速度の高速化や、プロセッサに依存しないシステムアーキテクチャの構築のために、PCI (Peripheral Component Interconnect) バスが採用され始めている。

【0003】 PCIバスにおいては、ほとんど全てのデータ転送はブロック転送を基本としており、これら各ブロック転送はバースト転送を用いて実現されている。これにより、例えばPCIバスでは最大133Mバイト／秒（データバスが32ビット幅の時）のデータ転送速度を実現できる。

【0004】 したがって、PCIバスを採用すると、I/Oデバイス間、およびシステムメモリとI/Oデバイスとの間のデータ転送などを高速に行うことが可能となり、システム性能を高めることができる。

【0005】 このようなPCIバスアーキテクチャでは、高速動作の実現のためにクロックスキューを最小限に抑える必要があり、そのためにシステムコンポーネント毎にクロック（PCIクロック）が別個に供給されている。

【0006】 すなわち、システムボード上の複数のデバイスは、それぞれ対応するクロック信号線を介してクロ

ックドライブ内の異なるバッファに接続されており、それらデバイスにはPCIクロックがポイント・ツー・ポイント形式でクロックドライブの複数のバッファから供給される。これにより、1本のクロック信号線を複数のシステムコンポーネントそれぞれに分岐して供給する場合に比べ、信号反射などの影響が大幅に低減され、クロック信号の安定性を確保できる。

【0007】

【発明が解決しようとする課題】 しかし、この構成では、高速クロックを多数のクロック信号線に供給することになるためクロックドライブの消費電流が大きくなり、システムの電力消費量が増大されるという問題がある。また、従来のクロックドライブは、クロック信号を常に全てのクロック信号線に供給する構成であるため、実際に動作してないコンポーネントにも高速クロックが入力されてしまい、電力が無駄に消費されてしまうという問題があった。

【0008】 この発明はこのような点に鑑みてなされたもので、システムコンポーネントとして存在する複数のデバイスそれぞれのクロック信号線を選択的にドライブできるようにし、電力消費の低減を図ることができるコンピュータシステムを提供することを目的とする。

【0009】

【課題を解決するための手段】 この発明によるコンピュータシステムは、コンピュータシステムのバスに結合される複数のデバイスと、プログラム可能に構成され、前記デバイス毎にクロック供給の許可／禁止を指示するクロックドライブ制御情報がセットされるレジスタと、前記複数のデバイスそれぞれのクロック信号線をドライブする複数のバッファ回路を有し、前記デバイス毎にクロック信号を供給するクロックドライブ装置であって、前記各バッファ回路は、前記レジスタにセットされているクロックドライブ制御情報に従ってクロック信号線のドライブ動作が許可／禁止されるように構成されているクロックドライブ装置とを具備し、前記複数のデバイスそれぞれのクロック信号線を選択的にドライブできるようにしたことを特徴とする。

【0010】 このコンピュータシステムにおいては、クロックドライブ装置内の各バッファ回路は、レジスタにセットされているクロックドライブ制御情報に従ってイネーブル／ディスエーブル制御される。レジスタにセットされるクロックドライブ制御情報はプログラマブルであるので、複数のデバイスそれぞれのクロック信号線を選択的にドライブできる。したがって、利用されていないデバイスに対してクロックの供給を停止することが可能になり、無駄な電力消費を低減することができる。この場合、デバイスドライバプログラムによって動作制御されるデバイス、例えばモデムやサウンド処理機能を提供するデバイスについては、そのデバイスドライバがシステムに組み込まれるまでは使用されないもので、それまで

の間はクロックの供給を停止しておくことが好ましい。これは、そのデバイスドライバのメモリへの読み込みに応答して、そのデバイスに対応するクロックドライブ制御情報を、クロック供給禁止を示すステートからクロック供給許可を示すステートに書き替えることによって実現できる。

【0011】また、クロックドライブ装置内の各バッファ回路の電流駆動能力を段階的に切り替えられるように構成することによって、クロック信号線をドライブする電流値についてもクロックドライブ制御情報によってプログラマブルに設定できるようにすることが望ましい。

【0012】また、ポータブルコンピュータにおいては、そのコンピュータ本体に必要に応じて拡張ユニットを接続する事が可能であるが、その拡張ユニットとのインターフェースを行うためのデバイスは、拡張ユニットが接続されるまでは使用されない。このため、そのデバイスについても、拡張ユニットが接続されるまでの間はクロック供給を停止しておくことが好ましい。これは、拡張ユニットの接続を検出する手段を設け、その接続が検出された時に、そのデバイスに対応するレジスタのクロックドライブ制御情報を、クロック供給禁止を示すステートからクロック供給許可を示すステートに書き替えることによって実現できる。

【0013】さらに、上述したこの発明のクロックドライブ装置は、シンクロナスDRAMやRambusのようにメモリバンク毎にメモリクロックの供給が必要とされるメモリモジュールのクロック制御にも適用できる。この場合、システムに実装されたメモリモジュール（拡張メモリも含む）のバンク構成をチェックし、そのチェック結果に従ってクロックドライブ制御情報の内容を決することにより、どのようなバンク構成のメモリモジュールが使用された場合であっても、未使用バンクへの無駄なクロック供給を停止することができる。例えば、4本のRAS線RAS0～3とそれに対応する4本のメモリクロック線MCLK0～3を有するメモリサブシステムの場合を想定すると、使用されるメモリモジュールが8MB×1バンク構成であれば、RAS0、MCLK1だけが使用され、残りの未使用バンクに対応する3本のメモリクロックMCLK1～3の供給は停止される。

【0014】

【発明の実施の形態】以下、図面を参照してこの発明の実施形態を説明する。図1には、この発明の一実施形態に係わるコンピュータシステムの構成が示されている。このコンピュータシステムは、バッテリー駆動可能なノートブックタイプまたはラップトップタイプのポータブルコンピュータであり、そのシステムボード上には、プロセッサバス1、内部PCIバス2、内部ISAバス3、およびI²Cバス4が配設されている。また、このポータブルコンピュータ本体に設けられたドッキングコネク

タ10には、機能拡張のための拡張ユニットとして、図2のドッキングステーション30、または図3のカードドック40がユーザによって必要に応じて接続される。ドッキングコネクタ10は、図示のように、3つのコネクタ要素101、102、103から構成されている。

【0015】コンピュータ本体内には、CPU11、ホスト/PCIブリッジ装置12、メモリ13、ディスプレイコントローラ14、DSPインタフェースゲートアレイ(DSP IF GA)15、内部PCI-ISAブリッジ装置16、カードコントローラ17、PCI-DS(DS:ドッキングステーション)ブリッジ装置18、BIOS ROM19、HDD20、キーボードコントローラ21、リアルタイムクロック(RTC)22、I/Oコントロールゲートアレイ23、電源コントローラ(PSC)24などが設けられている。

【0016】これらコンポーネントの内、内部PCIバス2に接続されたPCIデバイスとして機能するもの、すなわちディスプレイコントローラ14、DSPインタフェースゲートアレイ(DSP IF GA)15、内部PCI-ISAブリッジ装置16、カードコントローラ17、PCI-DS(DS:ドッキングステーション)ブリッジ装置18などには、ホスト/PCIブリッジ装置12のクロックドライバ121からそれぞれ独立にPCIバスクロック(CLK1～CLKn)が供給される。

【0017】ドッキングステーション30は、PCI拡張カード、ISA拡張カード、PCカードなどの拡張デバイスの増設のために使用されるものであり、このドッキングステーション30内には、図2に示されているように、外部PCIバス5および外部ISAバス6が拡張バスとして配設されており、そこにはPCI拡張スロットおよびISA拡張スロットが接続されている。また、このドッキングステーション30内には、DS-PCI/ISAブリッジ装置31、ジョイスティック32、DSコントローラ33、EEPROM34なども設けられている。DS-PCI/ISAブリッジ装置31には、ドッキングコネクタ10のコネクタ要素101を介してホスト/PCIブリッジ装置12のクロックドライバ121からのPCIバスクロック(CLK3)が供給される。

【0018】カードドック40は、PCカードの拡張などのために使用されるものであり、ここには、図3に示されているように、カードコントローラ41、ジョイスティック32、DSコントローラ33、EEPROM34などが設けられている。カードコントローラ41には、ドッキングコネクタ10のコネクタ要素101を介してホスト/PCIブリッジ装置12のクロックドライバ121からのPCIバスクロック(CLK3)が供給される。

【0019】次に、図1のコンピュータ本体に設けられ

た各コンポーネントの機能および構成について説明する。CPU 11は、例えば、米インテル社によって製造販売されているマイクロプロセッサ“Pentium”などによって実現されている。このCPU 11の入出力ピンに直結されているプロセッサバス1は、64ビット幅のデータバスを有している。

【0020】メモリ13は、オペレーティングシステム、デバイスドライバ、実行対象のアプリケーションプログラム、および処理データなどを格納するメモリデバイスであり、複数のDRAMモジュールによって構成されている。このメモリ13は、システムボード上に予め実装されるシステムメモリ131と、ユーザによって必要に応じて装着される拡張メモリ132とから構成される。これらシステムメモリ131および拡張メモリ132を構成するDRAMモジュールとしては、シンクロナスDRAMやRambusなど、バンク毎にメモリクロックの供給が必要な高速メモリが利用される。

【0021】このメモリ13は、32ビット幅または64ビット幅のデータバスを有する専用のメモリバスを介してホスト-PCIブリッジ装置12に接続されている。メモリバスのデータバスとしてはプロセッサバス1のデータバスを利用することもできる。この場合、メモリバスは、アドレスバスと各種メモリ制御信号線とから構成される。

【0022】ホスト/PCIブリッジ装置12は、プロセッサバス1と内部PCIバス2との間を繋ぐブリッジLSIであり、PCIバス2のバスマスタの1つとして機能する。このホスト/PCIブリッジ装置12は、プロセッサバス1と内部PCIバス2との間で、データおよびアドレスを含むバスサイクルを双方向で変換する機能、およびメモリバスを介してメモリ13をアクセス制御する機能などを有している。

【0023】さらに、ホスト/PCIブリッジ装置12には、クロックドライバ121、およびクロックドライバ制御レジスタ122が設けられている。クロックドライバ121は、複数のクロック信号線を介してPCIデバイスそれぞれにポイント・ツー・ポイント形式で接続された複数のバッファ回路を有しており、PCIデバイス毎にPCIバスクロック(CLK1~CLKn)を独立して供給する。各PCIバスクロックは、例えば33MHzである。

【0024】バッファ回路の各々は、イネーブル/ディスエーブル制御可能に構成されており、イネーブル状態の期間はPCIクロックを出力するが、ディスエーブル状態の期間はPCIクロックは出力しない。各バッファ回路のイネーブル/ディスエーブルは、クロックドライバ制御レジスタ122にプログラムされるクロックドライバ制御情報によって決定される。このクロックドライバ制御レジスタ122は例えばコンフィグレーションアドレス空間にマッピングされたレジスタであり、CPU

11によってリード/ライト可能に構成されている。したがって、クロックドライバ制御レジスタ122にプログラムする情報によって、PCIデバイス毎にクロック供給を許可/禁止できる。

【0025】内部PCIバス2はクロック同期型の入出力バスであり、内部PCIバス2上の全てのサイクルはPCIバスクロックに同期して行なわれる。PCIバスクロックの周波数は最大33MHzである。PCIバス2は、時分割的に使用されるアドレス/データバスを有している。このアドレス/データバスは、32ビット幅である。

【0026】PCIバス2上のデータ転送サイクルは、アドレスフェーズとそれに後続する1以上のデータフェーズとから構成される。アドレスフェーズにおいてはアドレスおよび転送タイプが出力され、データフェーズでは8ビット、16ビット、24ビットまたは32ビットのデータが出力される。

【0027】ディスプレイコントローラ14は、ホスト/PCIブリッジ装置12と同様にPCIバス2のバスマスタの1つであり、ビデオメモリ(VRAM)143の画像データをLCD141や外部のCRTディスプレイ142に表示する。

【0028】DSPインタフェースゲートアレイ15は、PCIデバイスの1つであり、DSP151、MODEM(CODEC)152、およびサウンドCODEC153と共同して各種サウンド処理や電話/データの通信処理を行うためのDSPシステムを構成する。

【0029】このDSPインタフェースゲートアレイ15は、メモリ13に読み込まれて実行される専用のデバイスドライバプログラムの制御の下で、DSP151、MODEM(CODEC)152、およびサウンドCODEC153と通信して、DSP151のデジタル信号処理機能を利用したサウンド処理や通信処理を制御する。

【0030】これらDSPインタフェースゲートアレイ15、DSP151、MODEM(CODEC)152、およびサウンドCODEC153から構成されるDSPシステムは、コンピュータ本体の電源投入時は機能せず、デバイスドライバプログラムがオペレーティングシステムに組み込まれて初めて機能を開始できる。

【0031】このため、この実施形態のシステムでは、デバイスドライバプログラムが組み込まれるまでの期間の無駄な電力消費を低減するために、DSPインタフェースゲートアレイ15に対するPCIバスクロック(CLK1)の供給は、デバイスドライバプログラムがメモリ13に読み込まれた時点で初めて開始され、それまでの期間中はPCIバスクロック(CLK1)の供給は停止される。

【0032】内部PCI-ISAブリッジ装置16は、内部PCIバス2と内部ISAバス3との間を繋ぐブリ

10

20

30

40

50

ッジLSIであり、PCIデバイスの1つとして機能する。この内部PCI-ISAブリッジ装置16には、PCIバスアービタ、およびDMAコントローラなどが内蔵されている。内部ISAバス3には、BIOS ROM19、HDD20、キーボードコントローラ21、RTC22、I/Oコントロールゲートアレイ23が接続されている。

【0033】カードコントローラ17は、PCIデバイスの1つであり、PCMCIAまたはカードバス仕様のPCカードを制御する。PCI-DSブリッジ装置18は、内部PCIバス2とPCIバス相当のドッキングバス7とを繋ぐブリッジLSIであり、PCIデバイスの1つとして機能する。ドッキングバス7は、ドッキングコネクタ10のコネクタ要素101を介して外部に導出され、ドッキングステーション30やカードドック40に接続される。

【0034】PCI-DSブリッジ装置18は、内部PCIバス2とドッキングステーション30やカードドック40とのインタフェースを行うためのものであるため、ドッキングコネクタ10にドッキングステーション30やカードドック40が接続されるまでは使用されない。

【0035】したがって、この実施形態のシステムでは、ドッキングコネクタ10にドッキングステーション30やカードドック40が接続されてない期間中は、PCI-DSブリッジ装置18に対するPCIバスクロック(CLK2)の供給は停止される。

【0036】また、ドッキングコネクタ10を介して外部に出力されるPCIバスクロック(CLK3)についても、ドッキングコネクタ10にドッキングステーション30やカードドック40が接続されてない期間中はその供給が停止される。

【0037】I/Oコントロールゲートアレイ23は、内部ISAバス3とI²Cバス4とを繋ぐブリッジLSIであり、CPU11によってリード/ライト可能な複数のレジスタ群を内蔵している。これらレジスタ群を使用することにより、CPU11とI²Cバス4上の電源コントローラ24との通信が可能となる。

【0038】I²Cバス4は、1本のクロック信号線と1本のデータ線(SDA)から構成される双方向バスであり、これはドッキングコネクタ10のコネクタ要素103を介して外部に導出されている。

【0039】また、I/Oコントロールゲートアレイ23は、ドッキングコネクタ10のコネクタ要素102の所定ピン(DETECTピン)の電圧を監視する事により、コンピュータ本体とドッキングステーション30またはカードドック40とのドッキング/アンドッキングを検出する。すなわち、図2および図3に示されているように、ドッキングステーション30およびカードドック40においては、コネクタ要素102のDETECT

Tピンが接地されており、またコンピュータ本体のシステムボード上ではそのDETECTピンはプルアップされている。したがって、コンピュータ本体にドッキングステーション30またはカードドック40が接続されると、DETECTピンの電圧は“L”レベルとなり、分離されると“H”レベルとなる。I/Oコントロールゲートアレイ23は、このようなDETECTピンの電圧変化に従ってコンピュータ本体とドッキングステーション30またはカードドック40とのドッキング/アンドッキングを検出する。この検出結果は、割り込み信号などによってCPU11に通知される。

【0040】次に、図2のドッキングステーション30のコンポーネントについて説明する。前述したように、ドッキングステーション30は、ポータブルコンピュータ本体に取り外し可能に装着できる拡張ユニットである。このドッキングステーション30の筐体には、ポータブルコンピュータ本体を収容するための載置面と、この載置面上にポータブルコンピュータ本体がセットされた時に、DSコントローラ33の制御の下でドッキングステーション30とコンピュータ本体100とをドッキングさせるオートローディング機構などが設けられている。また、ドッキングステーション30には、ポータブルコンピュータ本体がセットされたことを検出してDSコントローラ33に通知するための検出スイッチの他、イジェクトスイッチ、電源スイッチなども設けられている。イジェクトスイッチは、オートローディング機構によってドッキングステーション30とドッキングされているコンピュータ本体を、そのドッキングステーション30から取り外すための操作スイッチである。イジェクトスイッチが押されると、オートローディング機構のモータが逆回転され、ポータブルコンピュータ本体がドッキングステーション30から電氣的に分離され取り外される。

【0041】ドッキングステーション30のDS-PCI/ISAブリッジ装置31は、コンピュータ本体からドッキングステーション30に導出されるドッキングバス7と外部PCIバス6および外部ISAバス7とを繋ぐブリッジLSIである。このDS-PCI/ISAブリッジ装置41は、PCIデバイスの1つであり、PCIバスクロック(CLK3)に同期して動作する。このPCIバスクロック(CLK3)は、前述したように、ドッキングステーション30がコンピュータ本体に接続された事が検出された時に初めて供給される。

【0042】DSコントローラ33は、ドッキングステーション30の電源のオン/オフ、およびポータブルコンピュータ本体とドッキングステーション30とのドッキング/アンドッキングを制御するためのマイコンであり、I²Cバス4を使用してコンピュータ本体の電源コントローラ24およびI/Oコントロールゲートアレイ23と通信する。

【0043】EEPROM34は、ドッキングステーション30の拡張スロットに装着されている拡張カードの属性（アドレス、DMAチャネル、IRQ番号、その他）など、プラグ・アンド・プレイに必要な情報がPnP格納される。このPnP情報は、コンピュータ本体とドッキングステーション30とがドッキングされた時や、コンピュータ本体またはドッキングステーション30のパワーオン時などに、BIOS ROM19のシステムBIOSの制御の下、I²Cバス4を介してコントロールゲートアレイ23によってEEPROM34から

【0044】カードコントローラ35は、コンピュータ本体内のカードコントローラ17と同様に、PCMCIA/カードバス準拠のPCカードを制御する。図3のカードドック40も、ポータブルコンピュータ本体に取り外し可能に装着できる拡張ユニットである。

【0045】このカードドック40内に設けられたカードコントローラ41は、PCMCIA/カードバス準拠のPCカードを制御するものであり、PCIバスクロック（CLK3）に同期して動作する。このPCIバスクロック（CLK3）は、前述したように、カードドック40がコンピュータ本体に接続された事が検出された時に初めて供給される。

【0046】EEPROM43は、カードドック40のPCカードスロットに装着されているPCカードの属性など、プラグ・アンド・プレイに必要な情報がPnP格納される。このPnP情報は、コンピュータ本体とカードドック40とがドッキングされた時や、コンピュータ本体またはカードドック40のパワーオン時などに、BIOS ROM19のシステムBIOSの制御の下、I²Cバス4を介してコントロールゲートアレイ23によってEEPROM43からリードされる。

【0047】次に、この実施形態のシステムにおけるPCIバスクロックの供給動作を説明する。図1のコンピュータ本体がパワーオンされたとき、システムBIOSは、クロックドライブ制御レジスタ122にクロックドライブ制御情報をセットする。クロックドライブ制御情報は、前述したようにPCIデバイス毎にクロック供給を許可/禁止するためのものであり、クロックドライブ制御情報＝“0”であれば、クロックドライバ121の対応するバッファ回路はイネーブル状態に設定され、そのバッファ回路によって対応するクロック信号線がドライブされる。一方、クロックドライブ制御情報＝“1”であれば、クロックドライバ121の対応するバッファ回路はディスエーブル状態に設定され、そのバッファ回路によるクロック信号線のドライブは行われない。

【0048】図4に示されているように、システムBIOSは、まず、DSPインタフェースゲートアレイ15に供給すべきPCIバスクロック（CLK1）、PCI-DSブリッジ18に供給すべきPCIバスクロック

（CLK2）、およびドッキングステーション30のDS-PCI/ISAブリッジ31またはカードドック40のカードコントローラ41に供給すべきPCIバスクロック（CLK3）の発生を停止させるために、それらPCIデバイス、つまりCLK1～CLK3に対応するクロックドライブ制御情報をそれぞれ“1”にセットする（ステップS11）。次いで、システムBIOSは、他のPCIデバイス全てに対するクロック供給が許可されるように、それらPCIデバイスに対応するクロックドライブ制御情報をそれぞれ“0”にセットする（ステップS12）。これにより、システムがパワーオンされても、CLK1～CLK3についてはその供給が停止される。

【0049】次に、図5および図6を参照して、CLK1～CLK3の供給開始動作について説明する。

（1）図5に示されているように、モデム/サウンド機能を持つDSPシステムを使用するためのデバイスドライバがメモリ13に読み込まれてOSに組み込まれると、まず、そのデバイスドライバからシステムBIOSにクロックイネーブルコマンドが発行される（ステップS21）。このクロックイネーブルコマンドに応答して、システムBIOSは、DSPインタフェースゲートアレイ15、つまりPCIバスクロック（CLK1）に対応するクロックドライブ制御情報を“0”にセットする（ステップS22）。これにより、DSPインタフェースゲートアレイ15に対するPCIバスクロック（CLK1）の供給が開始される。

【0050】このように、DSPインタフェースゲートアレイ15については、デバイスドライバがシステムに組み込まれるまではクロック供給が停止されており、デバイスドライバがシステムに組み込まれた時点で初めてクロックが供給される。従って、デバイスドライバが組み込まれるまでの期間の無駄な電力消費を低減できる。

【0051】（2）コンピュータ本体のドッキングコネクタ10にドッキングステーション30またはカードドック40が接続されると、図6に示されているように、その接続がI/Oコントロールゲートアレイ23によって検知され、その事が割り込み信号によってCPU11に通知される（ステップS31）。これにより、システムBIOSが実行されて、PCI-DSブリッジ18、つまりPCIバスクロック（CLK2）に対応するクロックドライブ制御情報が“0”にセットされると共に、ドッキングステーション30またはカードドック40に出力するためのPCIバスクロック（CLK3）に対応するクロックドライブ制御情報が“0”にセットされる（ステップS32）。

【0052】このように、ドッキングステーション30またはカードドック40のPCIデバイス、またはそれらドッキングステーション30またはカードドック40とコンピュータ本体とのインターフェースを行うための

10

20

30

40

50

PCI-DSブリッジ18についても、ドッキングステーション30またはカードドック40が接続されて初めてクロックが供給され、それまでは供給されない。

【0053】図7には、図1に示したクロックドライバ121の他の構成例が示されている。図7においては、クロックドライバ121の各バッファ回路は、電流駆動能力が段階的に切り替え可能に構成されており、クロックドライブ制御情報は1つのバッファ回路当たり2ビットから構成されている。この場合、クロックドライブ制御情報の2ビットとクロック信号線のドライブ状態との関係は図8のようになる。

【0054】例えば、クロックCLK1を発生するためのバッファ回路に着目すると、クロックドライブ制御情報の2ビット“b1, b0”が“1, 1”であれば、バッファ回路はディスエーブルされ、クロックCLK1の発生は停止される。また、“b1, b0”が“1, 0”、“0, 1”、“0, 0”であれば、バッファ回路はイネーブル状態に設定され、それぞれ4mA、8mA、12mAでクロックCLK1用のクロック信号線をドライブする。

【0055】このような電流駆動能力の切り替えは、バッファ回路毎に4mA用と8mA用の2つのバッファを設け、それらバッファをそれぞれイネーブル/ディスエーブル制御する事などによって実現できる。

【0056】このようなクロックドライバ121を利用すれば、クロック供給を停止する代わりに4mAでクロック信号線をドライブするといった省電力モードを実現する事もできる。

【0057】図9には、図1のホスト-PCIブリッジ12に内蔵されているメモリ制御サブシステム133とメモリ13との接続関係が示されている。メモリ13として用いられるシステムメモリ131および拡張メモリ132は、それぞれ1バンク以上の複数のDRAMモジュールから構成されている。各バンクは、例えば複数個のシンクロナスDRAMまたはRambus準拠のDRAMチップによって構成されている。各バンクは、メモリアドレスバスおよびメモリデータバスに平行に接続されている。また、RAS線およびメモリクロック

(MCLK)線はそれらバンクに別個に供給されており、CAS線はそれらバンクに共通に供給されている。

【0058】メモリクロック線のドライブは、メモリ制御サブシステム133に内蔵されたクロックドライバ134およびクロックドライブ制御レジスタ134によって制御される。これらクロックドライバ134およびクロックドライブ制御レジスタ134は、それぞれ図1のクロックドライバ121およびクロックドライブ制御レジスタ122に相当している。

【0059】すなわち、クロックドライバ134は、複数のメモリクロック信号線を介してバンクそれぞれにポイント・ツー・ポイント形式で接続された複数のバッ

ファ回路を有しており、バンク毎にメモリクロック(MCLK1~MCLKn)を独立して供給する。各メモリクロックは、例えば60MHzである。

【0060】バッファ回路の各々は、イネーブル/ディスエーブル制御可能に構成されており、イネーブル状態の期間はメモリクロックを出力するが、ディスエーブル状態の期間はメモリクロックは出力しない。各バッファ回路のイネーブル/ディスエーブルは、クロックドライブ制御レジスタ135にプログラムされるクロックドライブ制御情報によって決定される。このクロックドライブ制御レジスタ135は例えばコンフィグレーションアドレス空間にマッピングされたレジスタであり、CPU11によってリード/ライト可能に構成されている。したがって、クロックドライブ制御レジスタ135にプログラムする情報によって、バンク毎にクロック供給を制御できる。

【0061】このシステムでは、未使用バンクに対するメモリクロックの供給、つまり予め用意されている複数のRAS線の中で未使用のRAS線に対応するメモリクロックの供給が停止される。どのRAS線が未使用となるかは、システムメモリ131および拡張メモリ132それぞれのために予め用意されたRAS線の数と実際に装着されるメモリモジュールのバンク構成とによって決定される。

【0062】例えば、システムメモリ131用のメモリスロットにRAS1, RAS2の2つのRAS線が接続されている場合に、例えば拡張メモリとして4MB×1バンク構成のメモリモジュールがそのスロットに接続されると、RAS1だけが使用され、RAS2は未使用となる。同様に、拡張メモリ132用のメモリスロットにRAS3~RAS5の3つのRAS線が接続されている場合に、例えば拡張メモリとして4MB×2バンク構成のメモリモジュールがそのスロットに接続されると、RAS3, RAS4だけが使用され、RAS5は未使用となる。

【0063】これら未使用のRAS線にはバンクは接続されないため、そのRAS線に対応するメモリクロック線も使用されない。したがって、未使用のRAS線、つまり未使用バンクに対応するメモリクロック線のドライブをクロック制御情報によって禁止する事により、無駄な電気力消費を削減することが可能となる。

【0064】図10には、クロック制御レジスタ135に対するクロック制御情報の設定動作が示されている。システムBIOSは、システムパワーオンに回答してメモリ構成をチェックする。この場合、まず、クロック制御レジスタ135にオール“0”のクロック制御情報がセットされ、全てのメモリクロックMCLKがイネーブルされる(ステップS41)。

【0065】次いで、システムBIOSは、RAS線毎にそれに接続されるバンクサイズをライト・リードコン

ペアなどによってチェックし、未使用バンク（バンクサイズ＝0）を検出する（ステップS42）。そして、バンクサイズ＝0のRAS線に対応するメモリクロックのクロック制御情報を“1”にセットして、そのメモリクロックのドライブを禁止する（ステップS43）。

【0066】これにより、未使用PCIデバイスだけでなく、未使用のメモリバンクに対する無駄なクロック供給もなくなり、より消費電力を低減することが可能となる。また、メモリ制御サブシステム133に内蔵されたクロックドライバ134およびクロックドライブ制御レジスタ135についても図7および図8の構成を適用することができる。

【0067】

【発明の効果】以上説明したように、この発明によれば、クロックドライブ装置内の各バッファ回路は、レジスタにセットされているクロックドライブ制御情報に従ってイネーブル／ディスエーブル制御されるので、複数のデバイスそれぞれのクロック信号線を選択的にドライブできる。したがって、利用されていないPCIデバイスやメモリバンクに対してクロックの供給を停止することが可能になり、無駄な電力消費を低減することができる。

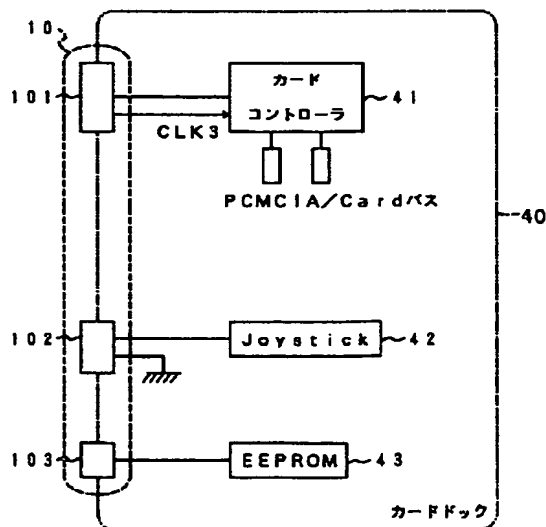
【図面の簡単な説明】

【図1】この発明の一実施形態に係るポータブルコンピュータのシステム構成を示すブロック図。

【図2】同実施形態のポータブルコンピュータに装着可能なドッキングステーションの構成を示すブロック図。

【図3】同実施形態のポータブルコンピュータに装着可能なカードドックの構成を示すブロック図。

【図3】



【図4】同実施形態のポータブルコンピュータにおけるパワーオン時のPCIクロック設定制御の手順を示すフローチャート。

【図5】同実施形態のポータブルコンピュータにおけるDSPシステムに対するPCIクロック制御動作の手順を示すフローチャート。

【図6】同実施形態のポータブルコンピュータにおけるドッキングステーション関連のデバイスに対するPCIクロック制御動作の手順を示すフローチャート。

10 【図7】同実施形態のポータブルコンピュータに設けられたクロックドライバの他の構成の一例を示す図。

【図8】図7のクロックドライバの電流駆動能力とクロック制御情報との関係を示す図。

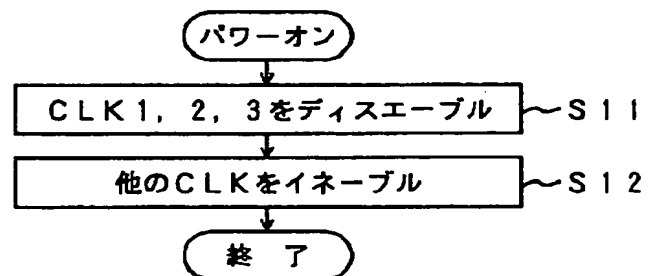
【図9】同実施形態のポータブルコンピュータに設けられたメモリ制御サブシステムの構成を示すブロック図。

【図10】同実施形態のポータブルコンピュータにおけるメモリバンクに対するメモリクロック制御動作の手順を示すフローチャート。

【符号の説明】

20 2…内部PCIバス、3…内部ISAバス、11…CPU、12…ホスト-PCIブリッジ、13…メモリ、15…DSPインタフェースゲートアレイ、18…PCI-DSブリッジ、23…I/Oコントロールゲートアレイ、30…ドッキングステーション、31…DS-PCI/ISAブリッジ、40…カードドック、41…カードコントローラ、121…PCIクロックドライバ、122…PCIクロックドライブ制御レジスタ、133…メモリ制御サブシステム、134…メモリクロックドライバ、135…メモリクロックドライブ制御レジスタ。

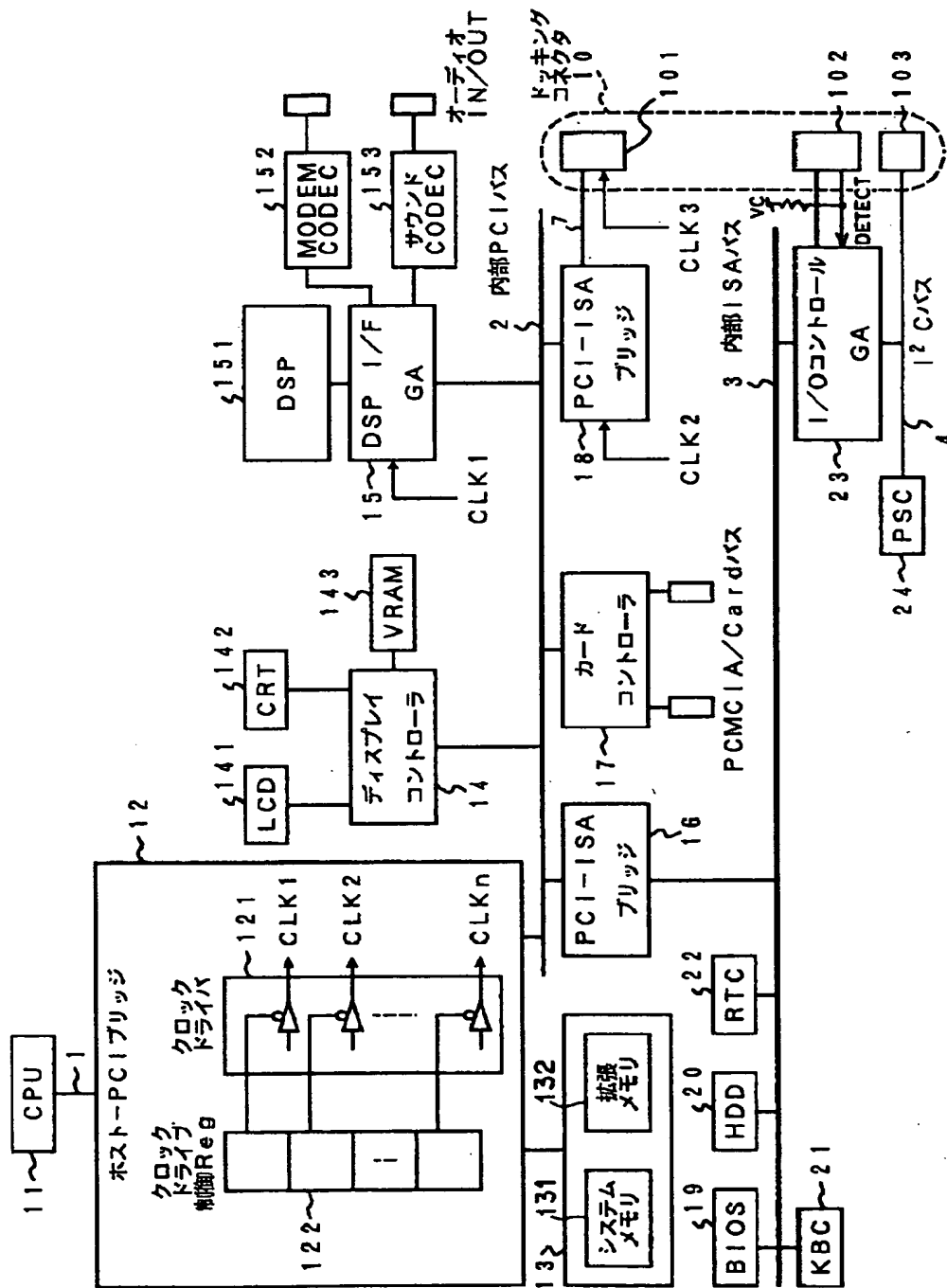
【図4】



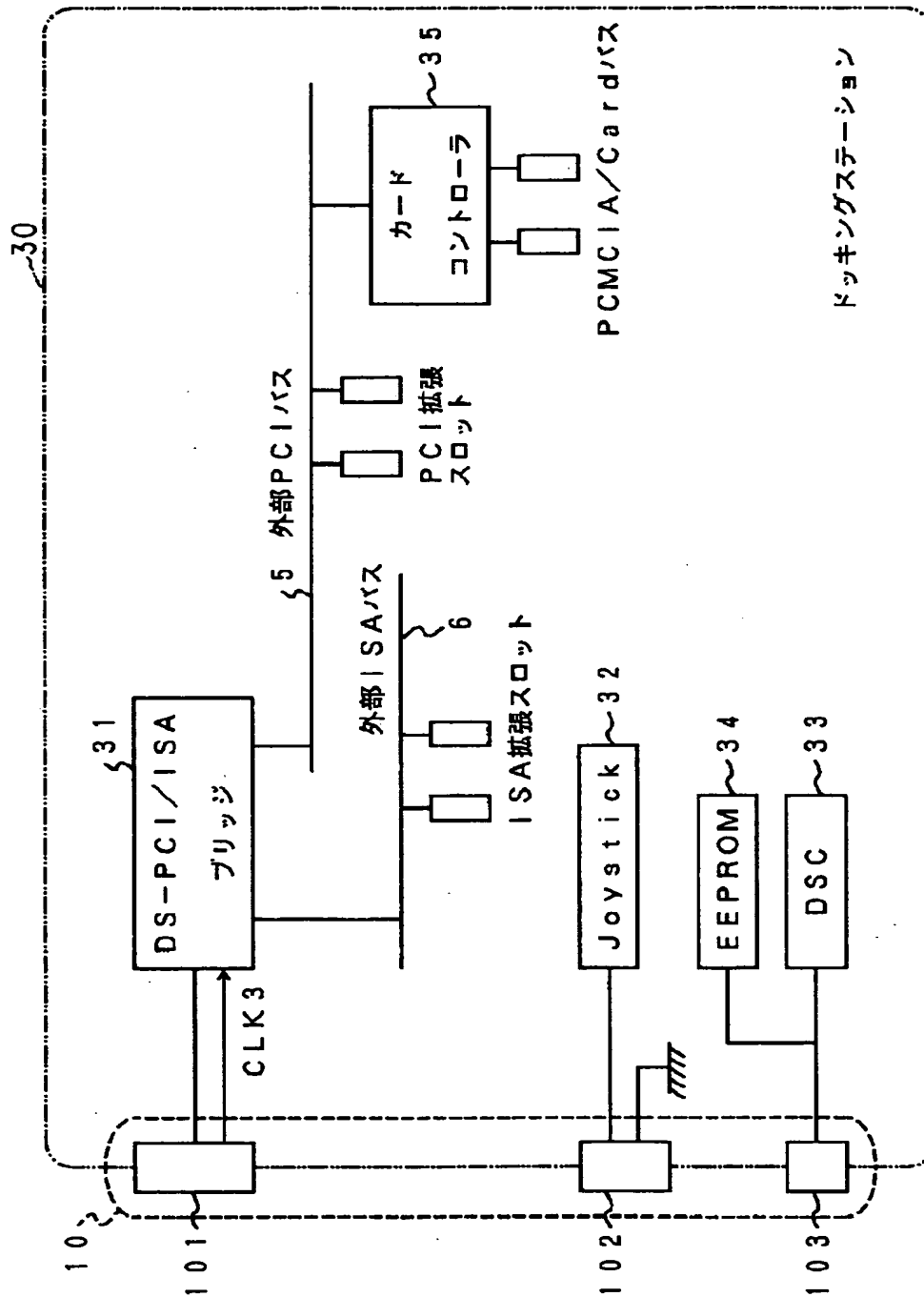
【図8】

b1	b0	CLK1
1	1	ディスエーブル
1	0	4mA
0	1	8mA
0	0	12mA

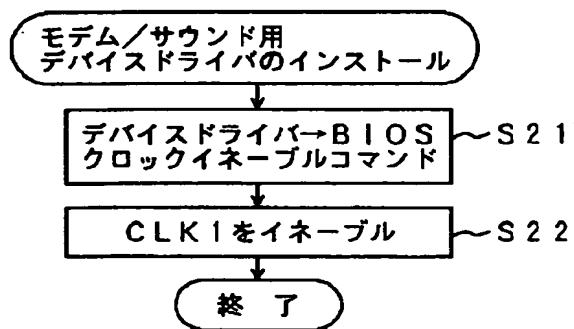
【図1】



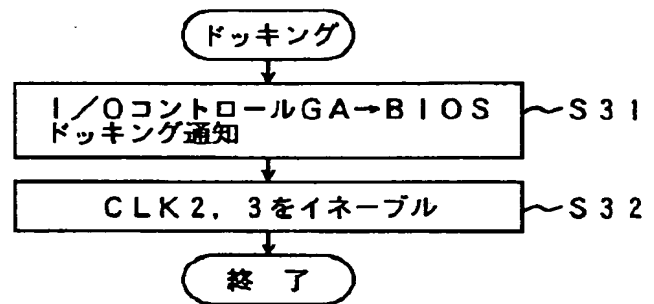
【図2】



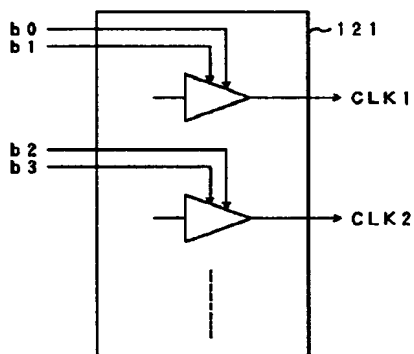
【図5】



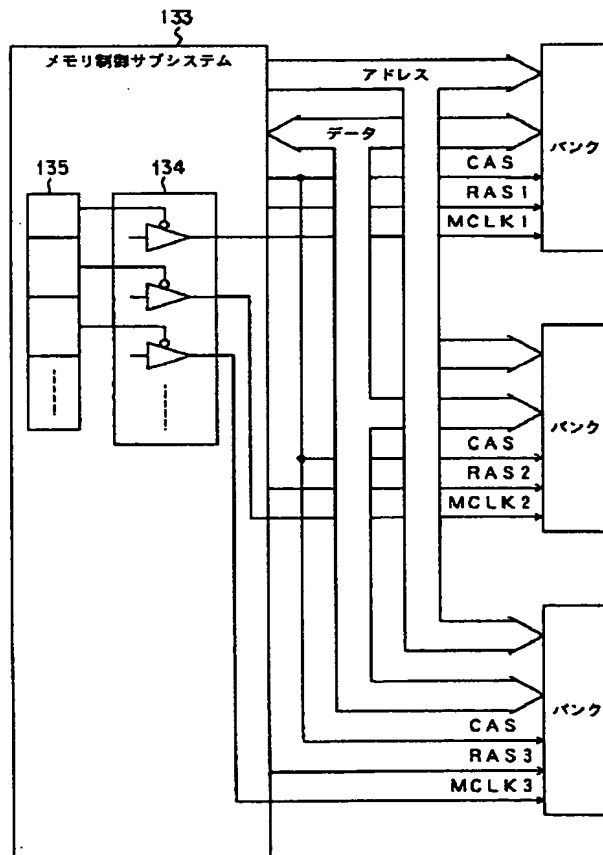
【図6】



【図7】



【図9】



【図10】

